



12

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 61140170 A

(43) Date of publication of application: 27.06.86

(51) Int. Cl

**H01L 27/10**  
**G11C 11/34**  
**H01L 29/78**

(21) Application number: 59263303

(22) Date of filing: 13.12.84

(71) Applicant: TOSHIBA CORP

(72) Inventor: MOMOTOMI MASAKI  
OGURA ISAO

(54) SEMICONDUCTOR MEMORY DEVICE

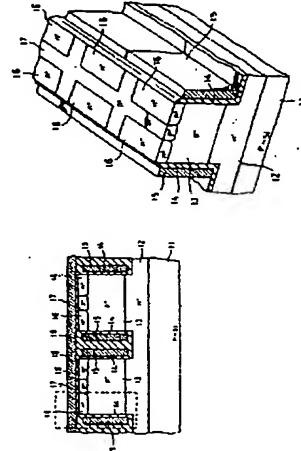
film 18.

(57) Abstract:

COPYRIGHT: (C)1986,JPO&amp;Japio

**PURPOSE:** To contrive to increase the integration and capacitance by integrating memory cells made of the MOSFET with source and drain regions formed in the longitudinal direction by utilizing the side wall of projections formed in periodical strips form, and of the MOS capacitor formed in stack on this source region.

**CONSTITUTION:** The titled device uses a wafer with an N<sup>+</sup> layer 12 serving as the drain region of the MOSFET formed on a P-type Si substrate 11 in common to all memory cells, and with a P<sup>+</sup> type layer 13 formed thereon by epitaxial growth. A plurality of stripe projections are formed by digging grooves deep enough to reach the N<sup>+</sup> type layer 12, and a gate electrode 15 is continuously formed on the side wall of each projection via gate insulation film 14 and each forms other word lines. The projection top is discretely provided with arrangements of N<sup>+</sup> type layers 16 serving as the source region of the MOSFET independent in every memory cell, along both sides. This N<sup>+</sup> type layer 16 is the first electrode of the MOS capacitor, and the second electrode 19 of the capacitor is formed thereon via capacitor insulation



ねるゲート電極はストライプ状の凸部側壁に沿つて真直ぐ配設されており、これはマスクなしで RIEにより形成することができる。従ってプロセス的にも簡単になっており、高歩留りが期待できる。

第5図は本発明の他の実施例の第2図の断面に対応する断面を示すものである。先の実施例と対応する部分には同じ符号を付して詳細な説明は省略する。この実施例では、凸部表面の両側のn<sup>+</sup>型層16の間に溝22を掘ったものである。このような構造とすれば、n<sup>+</sup>型層16の上面だけでなく側面をもキャバシタとして利用することになり、キャバシタ容量を大きくすることができ、より好ましいメモリ特性が得られる。

第6図は更に他の実施例の第3図に対応する斜視図を示すものである。先の実施例と対応する部分にはやはり同じ符号を付して詳細な説明は省く。先の実施例ではストライプ状の凸部の両側壁に対称的にMOSFETを配列形成しているに対し、本実施例では、互い違いにMOSFETを配列形

成している。このような構造は例えば、限られたストライプ幅内で大きいキャバシタ容量を実現したい場合に有効になる。

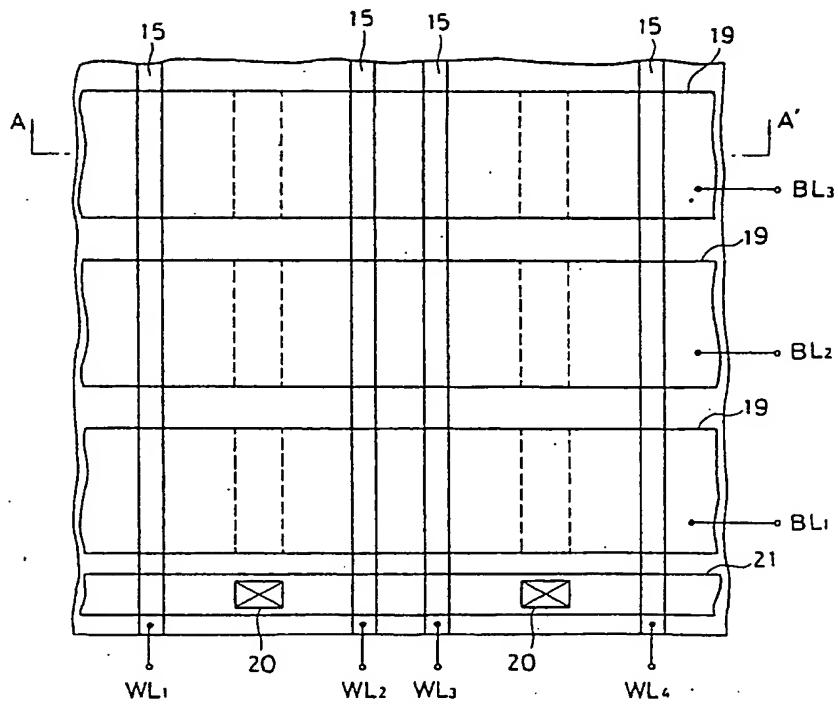
本発明はその他、種々変形して実施することができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例のDRAMの模式的平面図、第2図はそのA-A'断面図、第3図はMOSFETが形成された状態を示す斜視図、第4図(a)～(c)はメモリセルの等価回路図および動作電圧関係を示す図、第5図は他の実施例の第2図に対応する断面図、第6図は更に他の実施例の第3図に対応する斜視図である。

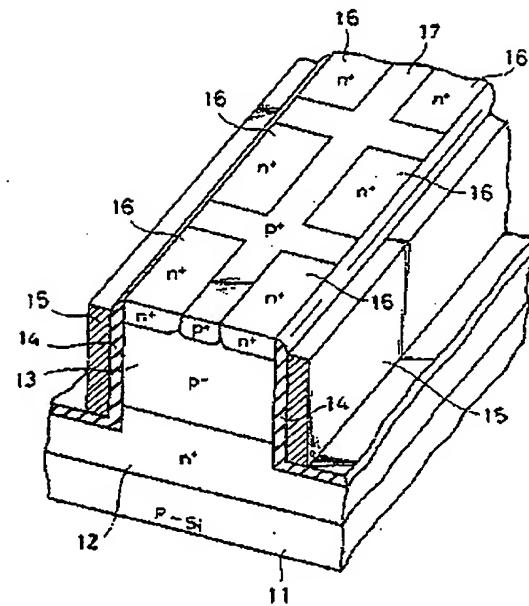
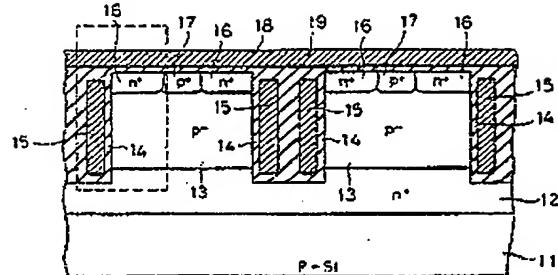
11…p<sup>-</sup>型S1基板、12…n<sup>+</sup>型層(ドレン領域)、13…p<sup>-</sup>型層、14…ゲート絶縁膜、15…ゲート電極(ワード線)、16…n<sup>+</sup>型層(ソース領域兼キャバシタの第1の電極)、17…p<sup>+</sup>型層(分離層)、18…キャバシタ絶縁膜、19…キャバシタの第2の電極(ピット線)、20…コンタクト孔、21…電源配線。

第1図

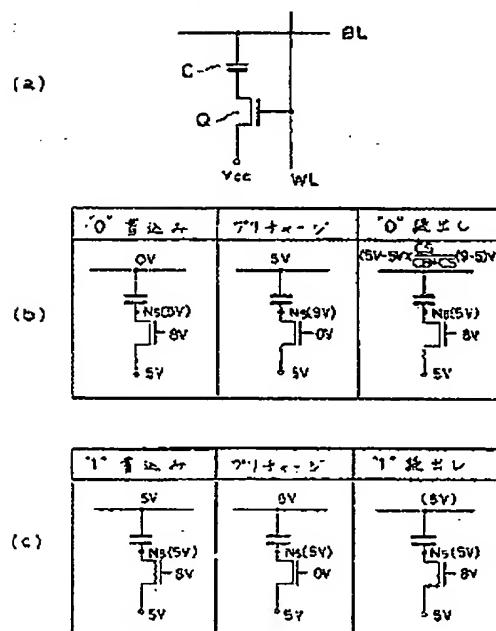


第3図

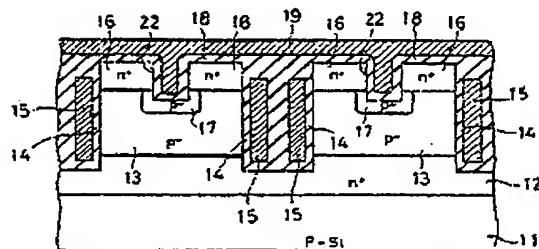
第2図



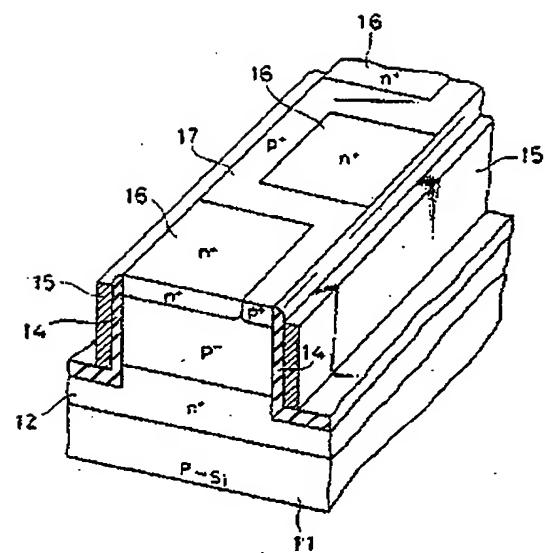
第4図



第5図



第6図



第7図

